

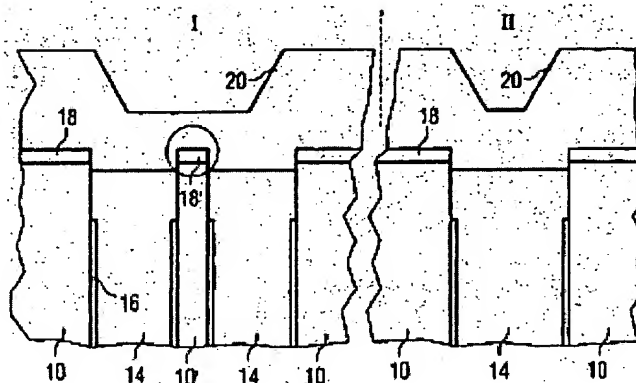
Production of isolation trenches between active regions during manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with oxide in semiconductor substrate to isolate the active regions and processing

Patent number: DE10139431
Publication date: 2003-03-06
Inventor: EFFERENN DIRK (DE); MOLL HANS-PETER (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- **International:** H01L21/762; H01L21/8242
- **European:** H01L21/762C; H01L21/8242B6
Application number: DE20011039431 20010810
Priority number(s): DE20011039431 20010810

Report a data error here

Abstract of DE10139431

Production of isolation trenches between active regions during the manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with an oxide in a semiconductor substrate (10) to isolate the active regions and form deep trenches (12) filled with polysilicon (14); forming a silicon nitride layer (18) on the surface of the substrate; applying an oxide layer (20) on the surface of the substrate and the polysilicon by plasma deposition with back-sputtering; and back-etching the oxide layer to expose the surface of the nitride and selectively removing the nitride. Preferred Features: The back-etching is a high density plasma deposition process.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

THOMSON

DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

My Account | Products

Search: Quick/Number Boolean Advanced Derwent

Help

The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)

Tools: Add to Work File: ☐ Create new Work File ☒

View: [Expand Details](#) | [INPADOC](#) | Jump to: Go to: [Derwent](#)

☒ [Email this to a friend](#)

Title: **DE10139431C2: Production of isolation trenches between active regions during manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with oxide in semiconductor substrate to isolate the active regions and processing**[From equivalent [DE10139431A1](#)][German]

Derwent Title: Production of isolation trenches between active regions during manufacture of integrated circuits, especially DRAMs, comprises etching trenches filled with oxide in semiconductor substrate to isolate the active regions and processing
[Derwent Record]

Country: DE Germany

Kind: C2 Patent Specification (Second Publ.)¹ (See also: [DE10139431A1](#))

Inventor: **Efferenn, Dirk**; Dresden, Germany 01099
Moll, Hans-Peter; Dresden, Germany 01099

Assignee: **Infineon Technologies AG**, München, Germany 81669
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 2003-06-18 / 2001-08-10

Application Number: DE2001010139431

IPC Code: [H01L 21/762](#); [H01L 21/8242](#);

ECLA Code: [H01L21/762C](#);

Priority Number: 2001-08-10 DE2001010139431

Abstract: [From equivalent [DE10139431A1](#)]

Es wird ein Verfahren zur Erzeugung von Isolationsgräben zwischen aktiven Gebieten in der STI-Technik bei der Herstellung von integrierten Schaltungen beschrieben, bei der in ein Halbleitersubstrat (10) zur gegenseitigen Isolierung der aktiven Gebiete Isolationsgräben (3) eingätzt werden. Bei dem Verfahren wird in einem Strukturierungszustand, in dem sich auf dem Substratsilizium (10, 10') überall eine Siliziumnitridschicht (18, 18') befindet und in den Gräben (12) die Oberfläche des Polysiliziums tiefer liegt als die Oberfläche der Siliziumnitridschicht (18, 18'), auf die Substratoberfläche mit einer Plasmaabscheidung ein Oxid (20) aufgebracht, wobei bei der Plasmaabscheidung die Sputterkomponente so eingestellt wird, daß sich auf dem Nitrid (18') der schmalen Stege (10') zwischen den tiefen Gräben (12) das Oxid im wesentlichen nicht höher aufwächst als in den angrenzenden Bereichen der Gräben (12) mit der Polysiliziumfüllung, und wobei in den nachfolgenden Schritten das Oxid (20) bis zur Freilegung der Oberfläche des Nitrids (18') auf den schmalen Stegen (18') zurückgeätzt und dieses Nitrid (18') selektiv entfernt wird.

Attorney, Agent or Firm: **Wilhelm & Beck**; , München 80636

INPADOC [Show legal status actions](#)

Get Now: [Family Legal Status Report](#)

Legal Status:



[High Resolution](#)

Related Applications:

Application Number	Filed	Patent	Pub. Date	Title
		DE10139431	2003-03-06	Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten bei der Herstellung einer integrierten Halbleiterschaltung

Family: [Show 2 known family members](#)

Description: [Expand full description](#)

[+](#)

[+ Bezugszeichenliste](#)

First Claim: [Show all claims](#)

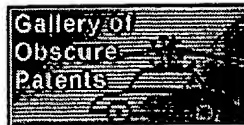
1. Verfahren zur Ausbildung von Isolationsgräben (3) zwischen aktiven Gebieten (2) bei der Herstellung einer integrierten Halbleiterschaltung, bei der in ein Halbleitersubstrat (10) zur gegenseitigen Isolierung der aktiven Gebiete (2) flache Isolationsgräben (3) eingeätzt werden, die mit einem Oxid aufgefüllt werden, wobei die flachen Isolationsgräben (3) an tiefe, mit Polysilizium (14) gefüllte Gräben (12) angrenzen, die Speicherkondensatoren (1) bilden, wobei sich auf einer Siliziumoberfläche des Halbleitersubstrats (10, 10') überall eine Siliziumnitridschicht (18, 18') befindet und in den tiefen Gräben (12) die Oberfläche des Polysiliziums (14) tiefer liegt als die Oberfläche der Siliziumnitridschicht (18, 18'), **dadurch gekennzeichnet**, daß ein Oxid (20) auf die Oberfläche des Halbleitersubstrats (10) und des Polysiliziums (14) in den tiefen Gräben (12) mittels einer Plasmaabscheidung mit Rückspütern aufgebracht wird, wobei bei der Plasmaabscheidung die Sputterkomponente eingestellt wird, um auf der Siliziumnitridschicht (18'), welche zwischen den tiefen Gräben (12) schmale Stege (10') ausbildet, das Oxid (20) im wesentlichen nicht höher aufzuwachsen als in den angrenzenden Bereichen der tiefen Gräben (12) mit der Polysiliziumfüllung, wobei in den nachfolgenden Schritten das so aufgebrachte Oxid (20) bis zur Freilegung der Oberfläche der Siliziumnitridschicht (18') auf den schmalen Stegen (18') zurückgeätzt und die Siliziumnitridschicht (18'), deren Oberfläche freigelegt ist, selektiv entfernt wird.

Foreign References:

PDF	Publication	Date	IPC Code	Assignee	Title
<input checked="" type="checkbox"/>	US5953607A		H01L 21/8242	INTERNATIONAL BUSINESS MACHINES CORPORATION	Buried strap for trench storage capacitors in dram trench cells
<input checked="" type="checkbox"/>	US5177576A		H01L 29/68	HITACHI, LTD	Dynamic random access memory having trench capacitors and vertical transistors

Other Abstract Info:

CHEMABS 138(12)179240W



[Nominate this for the Gallery...](#)





DEUTSCHES
PATENT- UND
MARKENAMT

②1 Aktenzeichen: 101 39 431.4
②2 Anmeldetag: 10. 8. 2001
④3 Offenlegungstag: 6. 3. 2003

⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦4 Vertreter:
Wilhelm & Beck, 80636 München

⑦2 Erfinder:
Efferenn, Dirk, 01099 Dresden, DE; Moll,
Hans-Peter, 01099 Dresden, DE

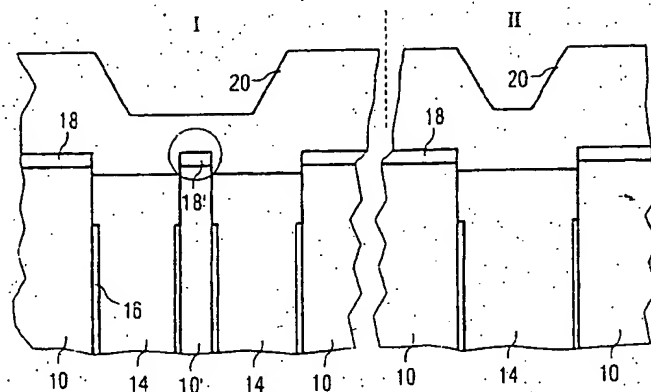
⑤6 Entgegenhaltungen:
US 59 53 607 A
US 51 77 576 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten bei der Herstellung einer integrierten Halbleiterschaltung

⑤7 Es wird ein Verfahren zur Erzeugung von Isolationsgräben zwischen aktiven Gebieten in der STI-Technik bei der Herstellung von integrierten Schaltungen beschrieben, bei der in ein Halbleitersubstrat (10) zur gegenseitigen Isolierung der aktiven Gebiete Isolationsgräben (3) eingeätzt werden. Bei dem Verfahren wird in einem Strukturierungszustand, in dem sich auf dem Substratsilizium (10, 10') überall eine Siliziumnitridschicht (18, 18') befindet und in den Gräben (12) die Oberfläche des Polysiliziums tiefer liegt als die Oberfläche der Siliziumnitridschicht (18, 18'), auf die Substratoberfläche mit einer Plasmaabscheidung ein Oxid (20) aufgebracht, wobei bei der Plasmaabscheidung die Sputterkomponente so eingestellt wird, daß sich auf dem Nitrid (18') der schmalen Stege (10') zwischen den tiefen Gräben (12) das Oxid im wesentlichen nicht höher aufwächst als in den angrenzenden Bereichen der Gräben (12) mit der Polysiliziumfüllung, und wobei in den nachfolgenden Schritten das Oxid (20) bis zur Freilegung der Oberfläche des Nitrids (18') auf den schmalen Stegen (18') zurückgeätzt und dieses Nitrid (18') selektiv entfernt wird.



[0001] Die Erfindung betrifft ein Verfahren zur Ausbildung von Isolationsgräben zwischen aktiven Gebieten bei der Herstellung von integrierten Schaltungen, insbesondere DRAM-Halbleiterspeichern, mit dem Ziel, den Übergangswiderstand zwischen Speicherkondensator und Auswahltransistor zu verringern.

[0002] Bei den elektronischen integrierten Schaltungen (ICs) wird der Integrationsgrad oder die Packungsdichte, das ist die Anzahl der Funktionselemente pro Flächeneinheit, immer größer. Wegen der beständigen und andauernden Forderung nach Halbleiterspeichern mit immer mehr Speicherkapazität, also steigendem Integrationsgrad, der großen Regelmäßigkeit des Entwurfs und der erheblichen Anwendungsbreite sind dabei die DRAMs (Dynamic Random Access Memory, dynamische Speicher mit wahlfreiem Zugriff) zum Schrittmacher für die Mikroelektronik geworden. Der 256 Mb-DRAM mit Strukturweiten von 0,25 µm ist inzwischen schon Standard, der 1 Gb-DRAM in Reichweite.

[0003] Die mit der fortschreitenden Miniaturisierung auftretenden Probleme werden dabei jedoch in physikalischer, technologischer und schaltungstechnischer Hinsicht immer vielgestaltiger.

[0004] Ein herausragendes Element des Gesamtprozesses für die Herstellung von 256 Mb-DRAMs in 0,25-µm-Technologie ist, neben den bereits extrem feinen Strukturen, die dreidimensionale Integration der Speicherzellen durch Graben-Speicherkondensatoren (Trench-Kondensatoren). Die Speicherkondensatoren sind dabei in bezüglich der Substratoberfläche senkrecht in das Substrat geätzten tiefen Gräben ("Deep Trench", DT) ausgebildet.

[0005] Über und neben den tiefen Gräben für die Speicherkondensatoren sind auf der Substratoberfläche in Planartechnik streifenförmig Auswahltransistoren ausgeführt. Der elektrische Anschluß eines Auswahltransistors an den entsprechenden Speicherkondensator erfolgt durch eine Überlappung des aktiven Gebiets des Auswahltransistors mit dem Speicherkondensator. Der Anschlußbereich des aktiven Gebiets wird "Buried Strap" (BS) genannt.

[0006] Unter Grabenisolation bzw. STI oder Shallow Trench Isolation versteht man die seitliche Isolation benachbarter Transistoren und anderer aktiver Gebiete durch relativ flache Gräben, die ins monokristalline Silizium des Substrats geätzt und mit isolierendem Material aufgefüllt werden. Der Graben wird dabei zwischen den aktiven Gebieten mit der gewünschten Feldoxiddicke als Tiefe anisotrop in das Substrat geätzt. Nach einer kurzen thermischen Oxidation folgt eine konforme Oxidabscheidung zum Auffüllen dieser Isolationsgräben.

[0007] Bei den genannten DRAMs erfolgt nicht nur die gegenseitige laterale Isolierung der streifenförmigen aktiven Gebiete für die Auswahltransistoren in der STI-Technik mit ebenfalls langgestreckten, streifenförmigen Isolationsstrukturen, sondern es werden auch zur Trennung der in Streifenlängsrichtung aufeinanderfolgenden MOS-Auswahltransistoren innerhalb der einzelnen Streifen kurze, rechteckförmige, flache Isolationsgräben ausgebildet, die mit SiO₂ aufgefüllt werden. Diese Isolationsgräben liegen jeweils zwischen zwei Speicherkondensatoren und grenzen an diese an. Sie verbinden auch die beiden seitlichen Isolationsgräben, die neben den aktiven Gebieten für die Auswahltransistoren liegen.

[0008] Um zu verhindern, daß die aktiven Gebiete der MOS-Auswahltransistoren mit den Buried-Strap-Anschlußbereichen, die ja aus einem leitenden Material wie Polysilizium bestehen, bis in den Isolationsbereich zwischen zwei

Speicherkondensatoren reichen und die Isolation verschlechtern oder durch Überbrücken des Isolationsgrabens gar ganz aufheben, muß der sogenannte Kopf-zu-Kopf-Abstand der einzelnen aktiven Gebiete in einem Streifen so eingestellt werden, daß auch bei den unvermeidlichen Lagefehlern der Lithographieprozesse die aktiven Gebiete nicht in den Isolationsbereich hineinragen.

[0009] Dies hat nun jedoch den Nachteil, daß die aktiven Gebiete bzw. der Buried-Strap-Anschlußbereich der Auswahltransistoren nicht über den ganzen Querschnitt des Speicherkondensators reicht, sondern aus den genannten Gründen um ein bestimmtes, technologieabhängiges Maß von dem Rand des Speicherkondensators zurückliegt, der seinerseits an einen Isolationsbereich angrenzt und dem direkt der nächste Speicherkondensator mit dessen Auswahltransistor gegenüberliegt. Mit anderen Worten ist der Querschnitt für den Stromdurchgang von Speicherkondensator zum aktiven Gebiet des Auswahltransistors nicht so groß wie er theoretisch sein könnte. Der Querschnitt beeinflusst jedoch direkt den Übergangswiderstand zwischen Speicherkondensator und Auswahltransistor, der so gering wie möglich sein sollte.

[0010] Durch einen variierenden Lagefehler verändert sich auch der durch den Anschlußbereich abgedeckte Querschnitt des Speicherkondensators und damit der Anschlußwiderstand, mit der Folge von unerwünscht schwankenden elektrischen Eigenschaften des Systems Speicherkondensator-Auswahltransistor.

[0011] Aufgabe der Erfindung ist es daher, ein Verfahren zu schaffen, mit dem der Übergangswiderstand zwischen Speicherkondensator und Auswahltransistor durch Maximieren des Überlapps zwischen dem aktiven Gebiet des Auswahltransistors und dem Querschnitt des Speicherkondensators gleichbleibend und zuverlässig auf das geringstmögliche Maß verringert werden kann.

[0012] Diese Aufgabe wird erfindungsgemäß mit dem im Patentanspruch 1 beschriebenen Verfahren gelöst. Vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens sind im Unteranspruch angeführt.

[0013] Bei der vorliegenden Erfindung wird durch einen sich in der besonders kritischen Richtung, der Längsrichtung der Streifen mit den aktiven Gebieten für die Auswahltransistoren, selbst justierenden Technologieschritt das aktive Gebiet bis an den Rand des Speicherkondensators geführt, ohne daß die Gefahr besteht, daß das aktive Gebiet in den Isolationsbereich zwischen den Speicherkondensatoren hineinragt oder den Isolationsbereich sogar überbrückt. Der Technologieschritt, der zu dem "Semi-selfaligned Buried Strap" (SSBS) des aktiven Gebiets führt, besteht darin, daß im ersten Strukturierungsteil für das aktive Gebiet der flache Isolationsgraben zwischen den tiefen Gräben der Speicherkondensatoren mit einem sich in der kritischen Streifenlängsrichtung selbstausrichtenden Prozeß erzeugt wird. Die Selbstausrichtung wird durch die Charakteristik des angewendeten HDP-Prozesses (HDP: High Density Plasma) zur Oxidabscheidung erreicht, der so kontrolliert wird, daß auf den schmalen Substratbereichen zwischen den tiefen Gräben für die Speicherkondensatoren, die in diesem Verfahrensstadium mit einer dünnen Schicht aus Siliziumnitrid abgedeckt sind und die höher liegen als die Polysiliziumoberfläche in den Speicherkondensatorgräben, die Sputterkomponente der Plasmaabscheidung so eingestellt wird, daß auf diesen schmalen Nitridstegen zwischen den Speicherkondensatoren das Oxid nicht höher aufwächst als in den angrenzenden, vertieften Speicherkondensatorbereichen. Der Sputtervorgang greift bekanntlich stärker an nichthorizontalen Flächen, etwa den Flanken des Oxids über den Nitridstegen, an als an horizontalen Flächen, so daß es möglich ist,

durch Einstellen der Sputterkomponente das Aufwachsen eines "Hütchens" über den schmalen Nitridstegen zu verhindern.

[0014] Anschließend läßt sich das mit relativ wenig Oxid bedeckte Nitrid in den schmalen Stegen gezielt freilegen, etwa durch ein reaktives Ionenätzen des HDP-Oxids bis zur Oberkante des Nitrids, woraufhin sowohl das Nitrid auf dem späteren Isolationsgraben als auch das Substratsilizium in diesem Graben selektiv weggeätzt werden kann.

[0015] Bei dieser Vorgehensweise bleibt demnach das Polysilizium in den tiefen Gräben der Speicherkondensatoren in der Richtung der Streifen der aktiven Gebiete der Auswahltransistoren vollständig stehen, das heißt es bleibt exakt bis an den Rand des Speicherkondensators stehen. Dieses Polysilizium bildet jedoch gleichzeitig den Buried Strap des aktiven Gebiets, so daß der Überlapp zwischen dem Querschnitt des Speicherkondensators mit dem aktiven Gebiet bis zum Rand des Speicherkondensators reicht und das aktive Gebiet den Querschnitt des Speicherkondensators demnach im größtmöglichen Ausmaß abdeckt. Der Übergangswiderstand zwischen Auswahltransistor und Speicherkondensator hat damit den kleinstmöglichen Wert.

[0016] Durch die Selbstausrichtung des Vorgangs auf den ursprünglichen Rand des Speicherkondensators verändert sich die Kontaktfläche zwischen Speicherkondensator und Auswahltransistor auch nicht durch Lagefehler und dergleichen, so daß der Übergangswiderstand zum Auswahltransistor einen konstanten Wert besitzt.

[0017] Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand der Zeichnung näher erläutert. Es zeigen

[0018] Fig. 1 eine schematische Aufsicht auf die Anordnung von Speicherkondensatoren und Auswahltransistoren bei einem DRAM; und die

[0019] Fig. 2 bis 11 Schritte eines Verfahrens, mit dem eine Selbstjustierung des aktiven Gebiets eines Auswahltransistors im Bereich des Überlapps mit einem Speicherkondensator in Längsrichtung möglich ist.

[0020] Die Fig. 1 der Zeichnung zeigt schematisch und stark vereinfacht eine Aufsicht auf die Anordnung von Speicherkondensatoren und Auswahltransistoren bei DRAMs. Die Zeichnungsebene entspricht in dieser Aufsicht der Substratoberfläche bzw. ist zu dieser parallel. Die Speicherkondensatoren 1 sind in tiefen Gräben senkrecht zur Zeichnungsebene bzw. Substratoberfläche ausgebildet, so daß in der Aufsicht der Fig. 1 die Speicherkondensatoren 1 praktisch im Querschnitt zu sehen sind.

[0021] Es sind zwei nebeneinanderliegende Speicherkondensatoren 1 dargestellt. An jeden Speicherkondensator 1 schließt sich das aktive Gebiet 2 eines Auswahltransistors an, das den Speicherkondensator 1 auch teilweise überlappt. Die aktiven Gebiete 2 der Auswahltransistoren stellen streifenförmige Gebilde dar. Die aktiven Gebiete werden innerhalb eines Streifens zwischen jeweils zwei benachbarten Speicherkondensatoren 1 durch einen flachen Isolationsgraben 3 im Substrat in die Gebiete für die einzelnen Auswahltransistoren getrennt.

[0022] Der elektrische Anschluß zwischen dem Speicherkondensator 1 und dem aktiven Gebiet 2 des zugehörigen Auswahltransistors erfolgt durch den Überlapp 4 des aktiven Gebiets 2 mit dem Speicherkondensator 1.

[0023] Konventionell ist der Überlapp 4 zwischen dem aktiven Gebiet 2 und dem Speicherkondensator 1 kleiner als der Speicherkondensator 1 in der Längsrichtung der Streifen für die aktiven Gebiete breit ist. Das aktive Gebiet 2 endet jeweils in einem Kopf 5, der, wie in der Fig. 1 in ausgezogenen Linien gezeigt, irgendwo auf dem Speicherkondensator 1 liegt. Der minimale Kopf-zu-Kopf-Abstand zweier gegenüberliegender aktiver Gebiete und damit das Ausmaß des

Überlapps 4 wird eingeschränkt durch das Prozeßfenster des Lithographieverfahrens für die Trennung der einzelnen Auswahltransistoren und die Lagefehler zwischen den Strukturen für den Speicherkondensator 1 und das aktive Gebiet 2. Der Kopf-zu-Kopf-Abstand zwischen den Enden oder Köpfen 5 der aktiven Gebiete für die Auswahltransistoren wird mit anderen Worten durch die Lithographieprozesse für die Speicherkondensatoren 1, die Auswahltransistoren und den Isolationsgraben 3 dazwischen bestimmt und kann nicht beliebig verkleinert werden, ohne daß die Gefahr besteht, daß einer der Köpfe 5 in einem unerwünschten Bereich wie dem Isolationsgraben 3 zu liegen kommt und sich durch Kurzschlüsse und dergleichen die Ausbeute bei der DRAM-Herstellung drastisch verringert.

[0024] Andererseits bestimmt das Ausmaß des Überlapps 4 zwischen dem aktiven Gebiet 2 und dem Querschnitt des Speicherkondensators 1 jedoch auch die elektrischen Eigenschaften des Systems Speicherkondensator-Auswahltransistor, das heißt insbesondere den Übergangswiderstand von Speicherkondensator 1 zum Auswahltransistor. Der Überlapp sollte unter diesem Gesichtspunkt also so groß wie möglich sein und immer die gleiche Fläche aufweisen.

[0025] Anhand der Fig. 2 bis 11 wird nun ein Verfahren beschrieben, mit dem eine Selbstjustierung des aktiven Gebiets 2 des Auswahltransistors im Bereich des Überlapps 4 mit dem Speicherkondensator 1 in Längsrichtung der Streifen für die aktiven Gebiete möglich ist. Die Fig. 2 bis 11 zeigen jeweils einen Schnitt durch das Halbleitersubstrat senkrecht zur Substratoberfläche (und damit senkrecht zur Ebene der Fig. 1), wobei jeweils im Figurenteil I die Blickrichtung senkrecht zur Wortleitung der DRAM-Speicherzelle liegt und im Figurenteil II parallel zur Wortleitung.

[0026] Die Fig. 2 stellt die Ausgangssituation dar. In das Siliziumsubstrat 10 sind tiefe Gräben 12 eingätzt, die bis knapp unter die Substratoberfläche mit Polysilizium 14 aufgefüllt sind. An den Grabenwänden wird das Polysilizium 14 durch ein dünnes Dielektrikum, etwa eine SiO_2 -Schicht 16, vom Silizium des Substrats 10 getrennt. Die SiO_2 -Schicht 16 endet ein gutes Stück unterhalb der Substratoberfläche.

[0027] Auf die Oberfläche des Siliziumsubstrats 10 ist außerhalb der Gräben 12 eine Nitridschicht 18 (Si_3N_4) aufgebracht. Die Nitridschicht, hier mit 18' bezeichnet, bedeckt auch den dünnen Steg 10' aus dem monokristallinen Silizium des Substrats 10 zwischen den beiden nahe beieinanderliegenden Gräben 12.

[0028] Das Polysilizium 14 in den Gräben 12 ist nicht abgedeckt; die Oberfläche des Polysiliums 14 liegt tiefer als die Oberfläche der Nitridschicht 18, 18', so daß am Rand der Gräben 12 eine Kante entsteht.

[0029] In den Zeichnungen sind die unterschiedlichen Dotierungen in den einzelnen Bereichen des Siliziumsubstrats 10 nicht besonders dargestellt.

[0030] Wie in der Fig. 3 gezeigt, wird nun durch eine spezielle Plasmaabscheidung, die eine einstellbare Rücksputterkomponente aufweist, nämlich eine High-Density-Plasma-Abscheidung (HDP-Prozeß) auf die Oberfläche dieser Struktur ein Oxid 20 aufgebracht. Der HDP-Prozeß wird so geführt, daß die Sputterkomponente relativ groß ist, so daß wegen des verstärkten Absputterns von Flanken auf dem Nitrid 18' der dünnen Stege 10' zwischen den Gräben 12 benachbarter Speicherkondensatoren kein Hütchen aufwächst, sondern das HDP-Oxid 20 auf diesen schmalen Nitridstreifen 18' im wesentlichen die gleiche Höhe aufweist wie auf dem Polysilizium 14 der Gräben 12.

[0031] Wichtig ist dabei, daß die Stege 10' über die Oberfläche des Polysiliums 14 in den Gräben 12 übersteht, so daß sich bei der Abscheidung des Oxids 20 auf dem Polysi-

lilizium 14 und dem Nitrid 18' des Stegs 10' Flanken ergeben, die stärker abgesputtert werden wie die horizontalen Flächen über dem Polysilizium 14. Damit läßt sich erreichen, daß über dem Nitrid 18' auf dem Steg 10' (dieser Bereich ist in der Fig. 3 durch einen Kreis hervorgehoben) weniger Oxid 20 liegt als über dem Nitrid 18 in den anderen Gebieten des Substrats 10.

[0032] Auf den restlichen Bereichen der Substratoberfläche, die im wesentlichen von relativ großflächigen horizontalen Flächen gebildet werden, wächst wegen der geringeren Rücksputterrate bei dieser topologieabhängigen, nicht konformen Abscheidung ein erheblich dickeres Oxid auf als über den Gräben 12 und dem Nitrid 18' des Stegs 10'.

[0033] Wie in der Fig. 4 gezeigt, erfolgt im nächsten Schritt ein anisotropes RIE-Rückätzen (reaktives Ionenätzen) des HDP-Oxids 20 bis zur Oberkante des Nitrids 18' auf den schmalen Stegen 10' zwischen den Gräben 12. Die Oberfläche des Nitrids bildet dabei den definierten Endpunkt des Ätzvorganges. Über dem Nitrid 18 auf den anderen Bereichen des Substrats 10 bleibt dabei Oxid 20 stehen.

[0034] Fig. 5 es schließt sich ein selektives Nitridätzen an, mit dem das Nitrid 18' auf dem Steg 10' zwischen den Gräben 12 vollständig entfernt wird. Die Nitridschicht 18 in den anderen Bereichen neben und außerhalb der Gräben 12 wird dabei nicht weggeätzt, da sie durch das beim RIE-Rückätzen stehengebliebene HDP-Oxid 20 geschützt ist. An diesen Schritt schließt sich wiederum ein selektives Siliziumätzen an, mit dem das Silizium im Steg 10' zwischen zwei Gräben 12 zur späteren Isolation der aktiven Gebiete der Auswahltransistoren bis auf die Zieltiefe des so entstehenden Isolationsgrabens 22 weggeätzt wird. Der Isolationsgraben 22 der Fig. 5 bis 11 entspricht im übrigen dem Isolationsgraben 3 der Fig. 1 in einer Seitenansicht.

[0035] Fig. 6 um das Dielektrikum (SiO_2) 16 am Rand der Gräben 12 mit dem Polysilizium 14 im sogenannten Collarbereich (Kragenbereich), in dem es durch den Siliziumätzschritt der Fig. 5 vom Isolationsgraben 22 her freigelegt wurde, bei den Folgeschritten zu schützen, werden die Isolationsgräben 22 bis über die Höhe des Dielektrikums 16 mit einem Material 24 wie Fotolack (Resist) oder einer ARC-Beschichtung (Anti-ReflexCoating) aufgefüllt. Dazu wird der Fotolack oder das ARC aufgebracht und soweit bzw. auf eine solche Tiefe zurückgeätzt, daß die Oberfläche des Fotolack- bzw. ARC-Materials 24 im Isolationsgraben 22 über dem oberen Ende des Dielektrikums 16 liegt.

[0036] Fig. 7 im nächsten Schritt wird sowohl das HDP-Oxid 20 von der Substratoberfläche wie auch das Fotolack- bzw. ARC-Material 24 aus den flachen Isolationsgräben 22 entfernt.

[0037] Fig. 8 auf die Substratoberfläche wird eine Oxidhartmaske 26 sowie darauf ein ARC-Material und/oder ein Fotolack 28 aufgebracht. Die Oxidhartmaske 26 wird so abgeschieden, daß sich eine im wesentlichen ebene Oberfläche ergibt, die allenfalls im Bereich der Gräben 12 mit dem Polysilizium 14 leicht eingedellt ist. Der Fotolack 28 wird dann zur Ausbildung der Streifenstruktur für die aktiven Gebiete strukturiert.

[0038] Fig. 9 es erfolgt eine Ätzung zur Öffnung der Oxidhartmaske außerhalb der Streifen mit den aktiven Gebieten bis zur Silizium-Oberkante sowie die Entfernung des Fotolacks 28.

[0039] Fig. 10 und Fig. 11 es erfolgt eine Ätzung mit der Hartmaske als Maskierung bis zur Zieltiefe der seitlichen Isolationsgräben 30, die parallel zu den Streifen der aktiven Gebiete verlaufen und diese Streifen elektrisch voneinander trennen, sowie die Entfernung der Hartmaske.

[0040] Wie beschrieben wird demnach, wie in der Fig. 1 gestrichelt dargestellt, durch die sich in der besonders kriti-

schen Richtung, der Längsrichtung der Streifen mit den aktiven Gebieten 2, selbst justierenden Schritte des Aufbringens eines Oxids, das im Bereich des späteren Isolationsgrabens 3 eine kleinere Dicke hat als auf der übrigen Substratoberfläche, und des Wegätzens des Oxids sowie des selektiven Nitridätzens im Bereich des Isolationsgrabens 3 das aktive Gebiet 2 bis an den Rand des Querschnitts des Speicherkondensators 1 geführt, ohne daß die Gefahr besteht, daß der Kopf 5 des aktiven Gebiets in den Isolationsbereich zwischen den Speicherkondensatoren und den aktiven Gebieten hineinragt oder den Isolationsbereich sogar überbrückt. Der wesentliche Punkt für die Selbstjustierung ist, daß der Prozeß für die Oxidabscheidung so geführt wird, daß topologieabhängig und nicht konform auf den schmalen Nitridstegen zwischen den Speicherkondensatoren weniger Oxid aufwächst als in den übrigen Substratbereichen.

[0041] Anschließend läßt sich das mit relativ wenig Oxid bedeckte Nitrid in den schmalen Stegen gezielt freilegen, etwa durch ein reaktives Ionenätzen des HDP-Oxids bis zur Oberkante des Nitrids, woraufhin sowohl das Nitrid auf dem späteren Isolationsgraben als auch das Substratsilizium in diesem Graben selektiv weggeätzt werden kann.

[0042] Bei dieser Vorgehensweise bleibt demnach das Polysilizium in den tiefen Gräben der Speicherkondensatoren vollständig stehen. Dieses Polysilizium, das in der Fig. 11 mit 14' bezeichnet ist bildet jedoch gleichzeitig den Buried Strap des aktiven Gebiets, so daß der Überlapp des Speicherkondensators mit dem aktiven Gebiet bis zum Rand des Querschnitts des Speicherkondensators demnach im größtmöglichen Ausmaß abdeckt. Der Übergangswiderstand zwischen Auswahltransistor und Speicherkondensator hat damit den kleinstmöglichen Wert. Durch die Selbstjustierung der Buried-Strap-Technologie ist der Wert des Übergangswiderstandes auch immer der gleiche.

Bezugszeichenliste

- 1 Speicherkondensator
- 2 aktives Gebiet für Auswahltransistor
- 3 Isolationsgraben
- 4 Überlapp (zwischen 1 und 2)
- 5 Kopf (des aktiven Gebiets)
- 10 Silizium-Substrat
- 10' Steg (zwischen zwei Gräben 12)
- 12 Graben für Speicherkondensator
- 14 Polysilizium im Graben 12
- 14' Polysilizium (Buried Strap)
- 16 Dielektrikum (SiO_2 -Schicht)
- 18 Nitridschicht
- 18' Nitridschicht auf den schmalen Stegen zwischen zwei Speicherkondensatoren
- 20 HDP-Oxid
- 22 Isolationsgraben (entspricht 3)
- 24 Material (im Isolationsgraben 22)
- 26 Oxidhartmaske
- 28 Fotolack/ARC-Material
- 30 seitliche Isolationsgräben
- I, II Bereiche (im Halbleitersubstrat)

Patentansprüche

1. Verfahren zur Ausbildung von Isolationsgräben (3) zwischen aktiven Gebieten (2) bei der Herstellung von integrierten Schaltungen, insbesondere DRAMs, bei der in ein Halbleitersubstrat (10) zur gegenseitigen Isolierung der aktiven Gebiete (2) relativ flache Isolationsgräben (3) eingätzt werden, die mit einem Oxid aufge-

füllt werden, wobei die relativ flachen Isolationsgräben (3) an tiefe, mit Polysilizium (14) gefüllte Gräben (12) angrenzen, die Speicherkondensatoren (1) bilden, **dadurch gekennzeichnet**, daß in einem Strukturierungszustand, in dem sich auf der Siliziumoberfläche des Halbleitersubstrats (10, 10') überall eine Siliziumnitridschicht (18, 18') befindet und in den Gräben (12) die Oberfläche des Polysiliziums (14) tiefer liegt als die Oberfläche der Siliziumnitridschicht (18, 18'), auf die Oberfläche des Halbleitersubstrats (10) und des Polysiliziums (14) in den Gräben (12) mittels einer Plasmaabscheidung mit Rückspattern ein Oxid (20) aufgebracht wird, wobei bei der Plasmaabscheidung die Sputterkomponente so eingestellt wird, daß auf dem Nitrid (18') der schmalen Stege (10') zwischen den tiefen Gräben (12) das Oxid (20) im wesentlichen nicht höher aufwächst als in den angrenzenden Bereichen der Gräben (12) mit der Polysiliziumfüllung, und wobei in den nachfolgenden Schritten das so aufgebrachte Oxid (20) bis zur Freilegung der Oberfläche des Nitrids (18') auf den schmalen Stegen (18') zurückgeätzt und dieses Nitrid (18') selektiv entfernt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Plasmaabscheidung eine HDP-Abscheidung (High-Density-Plasma-Abscheidung) ist.

Hierzu 6 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

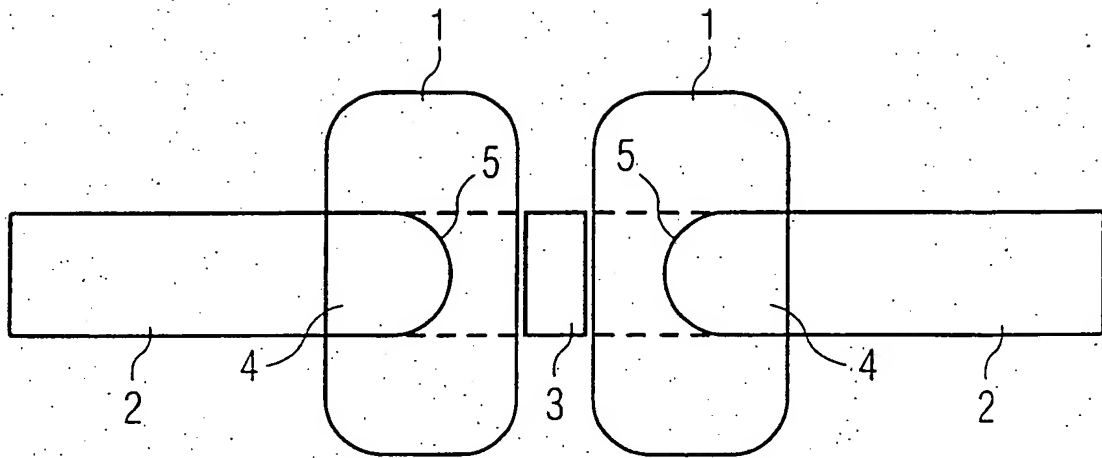


FIG 2

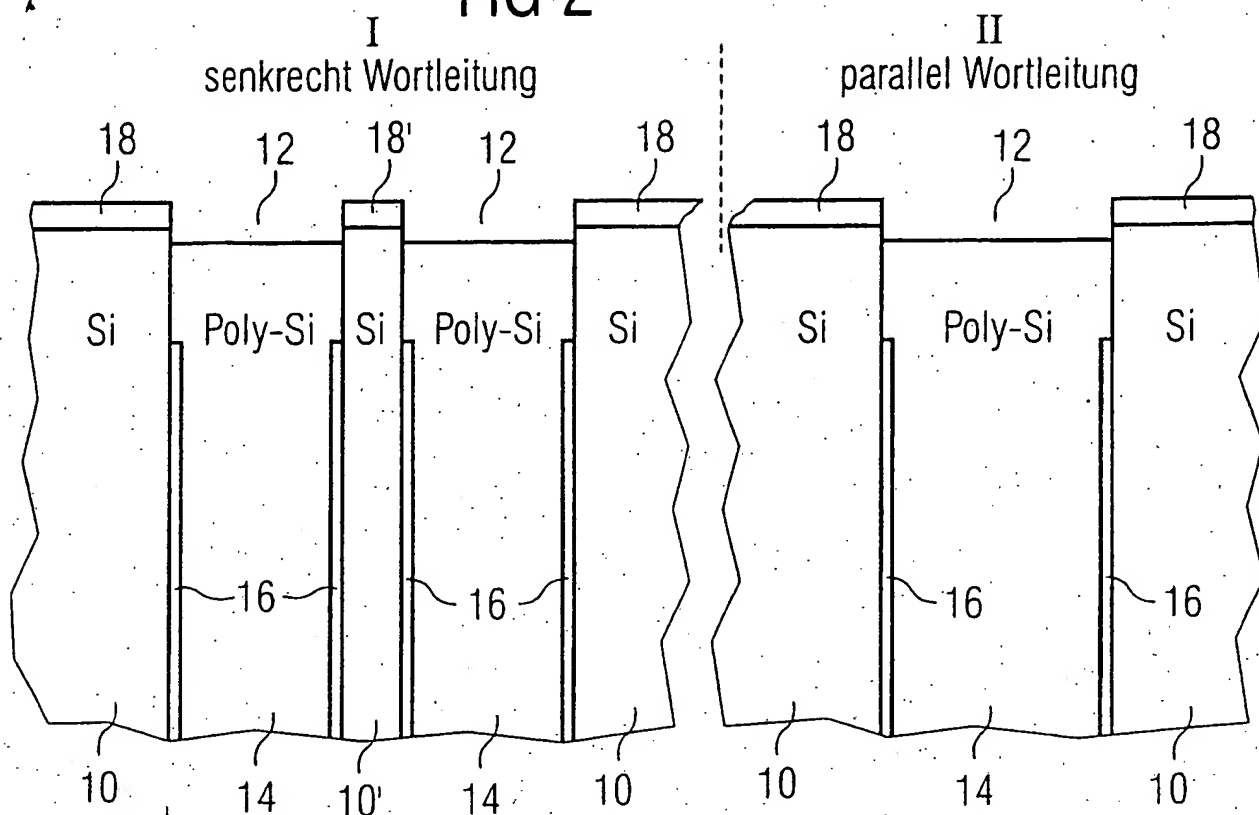


FIG 3

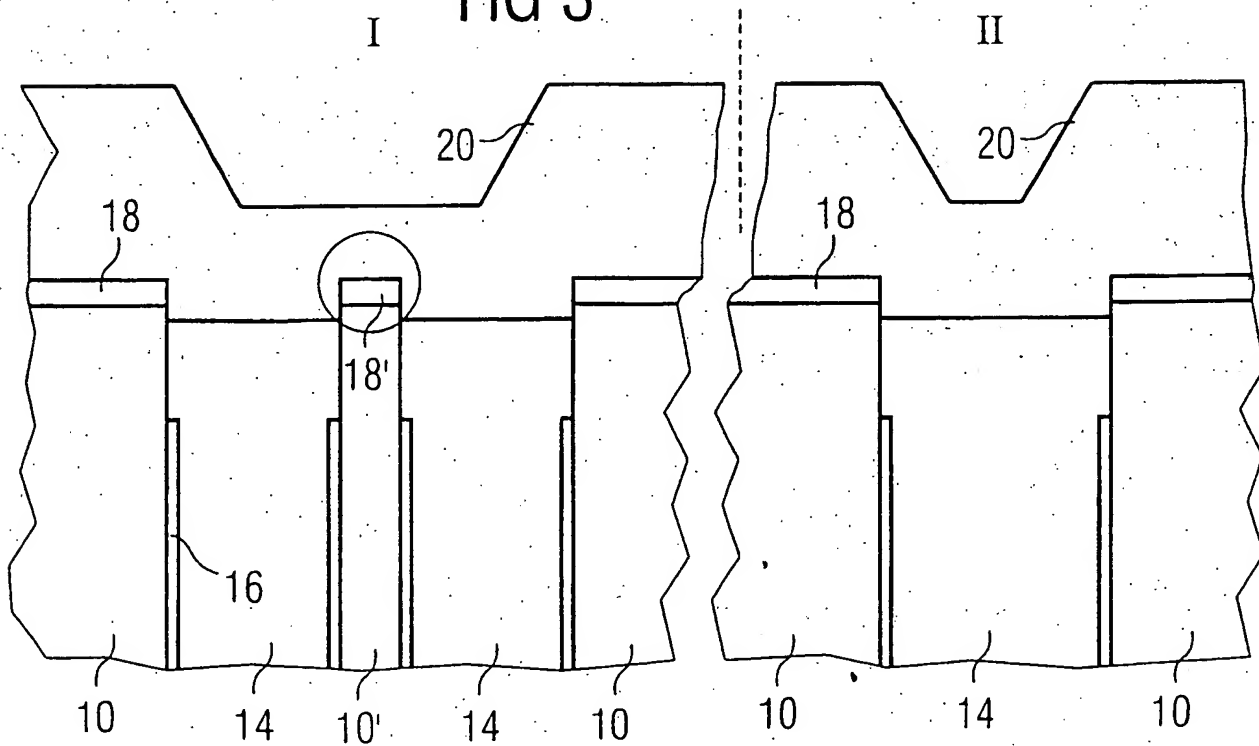


FIG 4

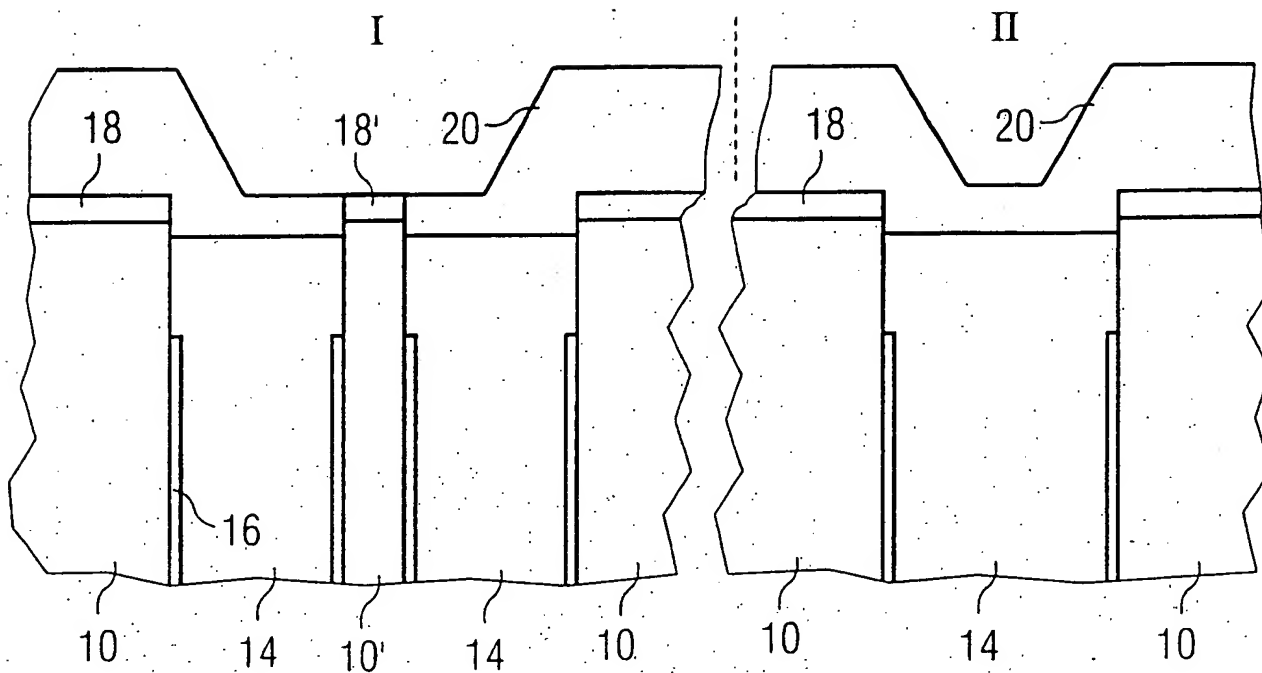


FIG 5

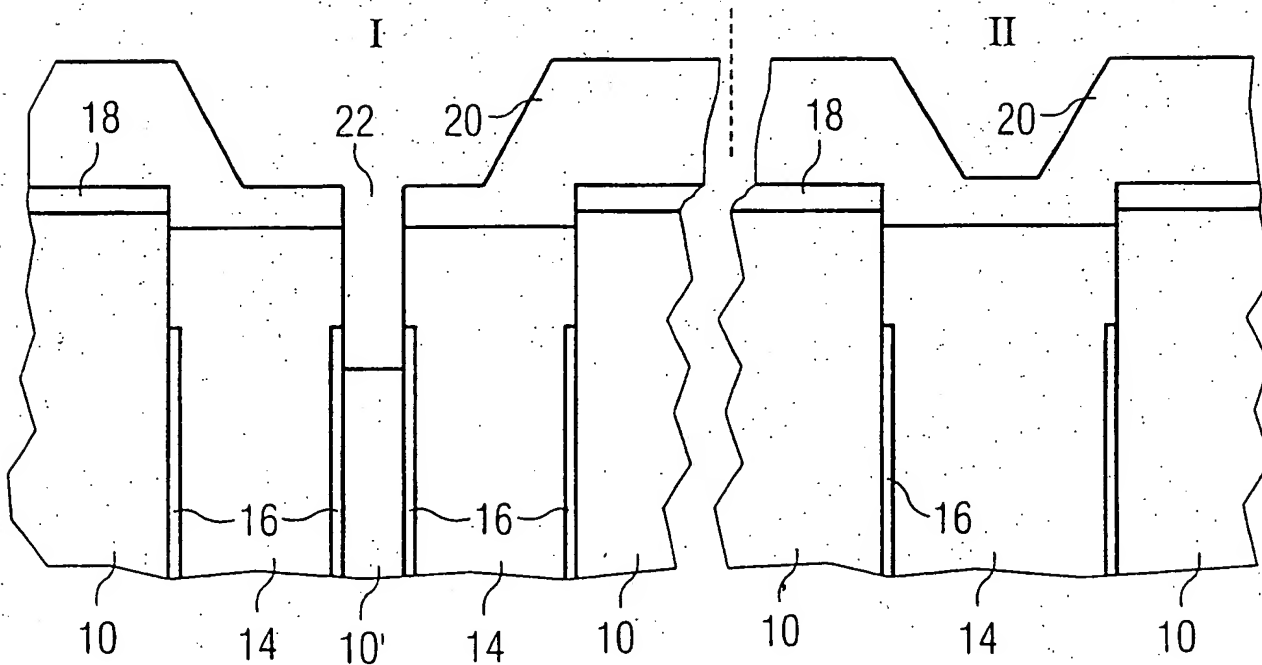


FIG 6

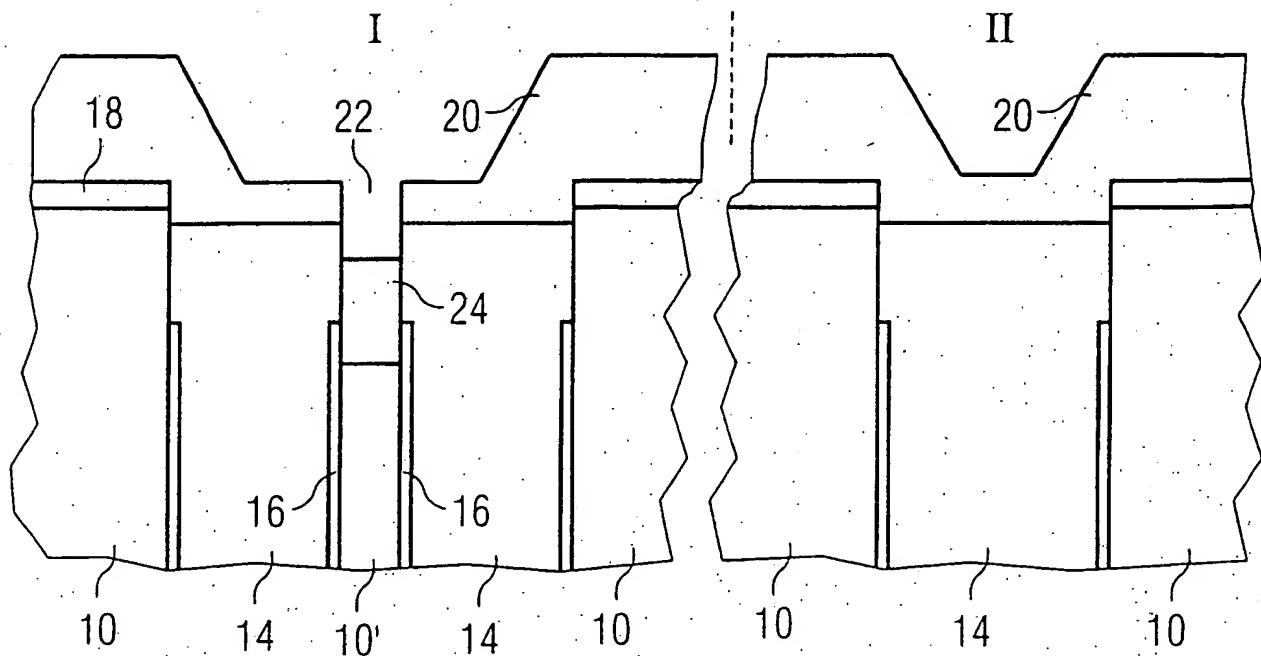


FIG 7

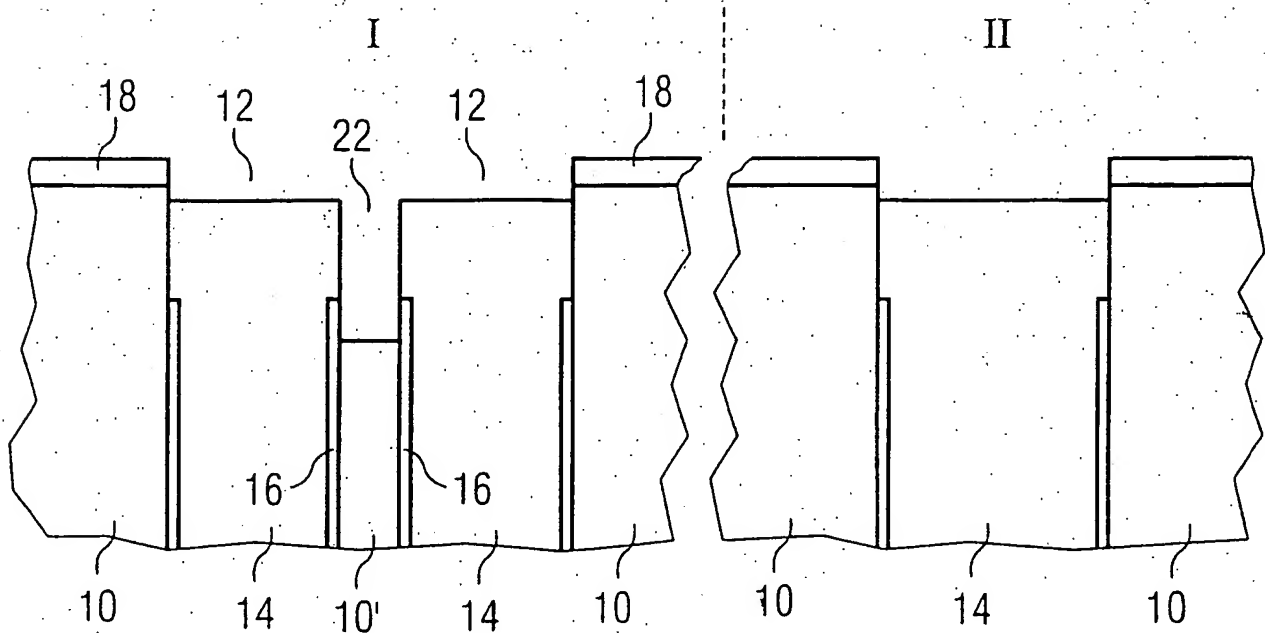


FIG 8

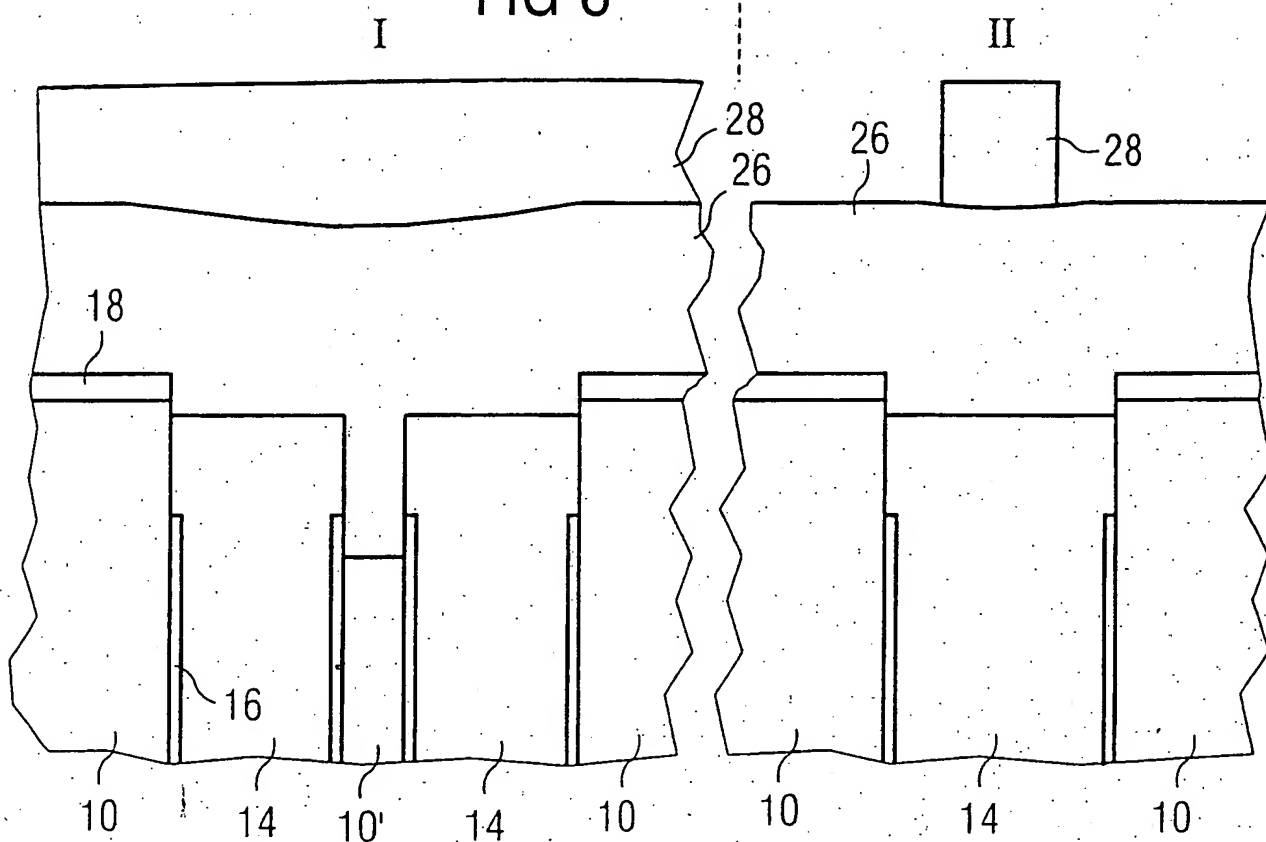


FIG 9

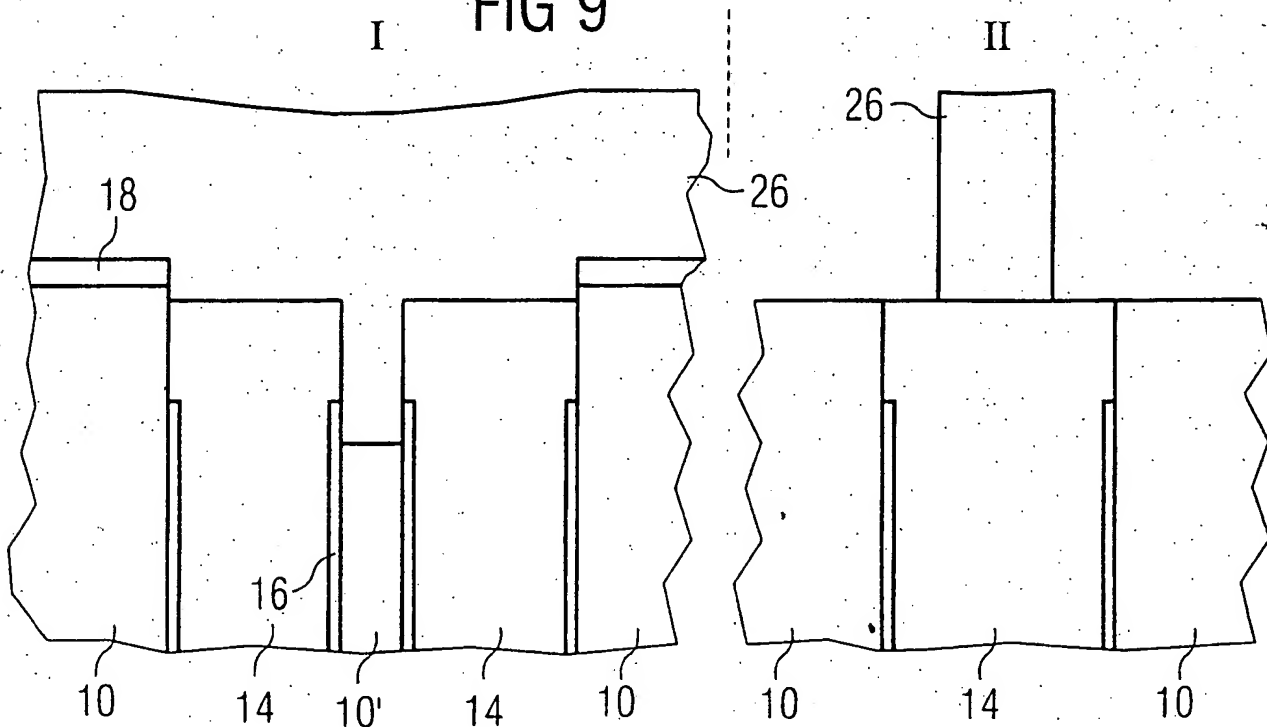


FIG 10

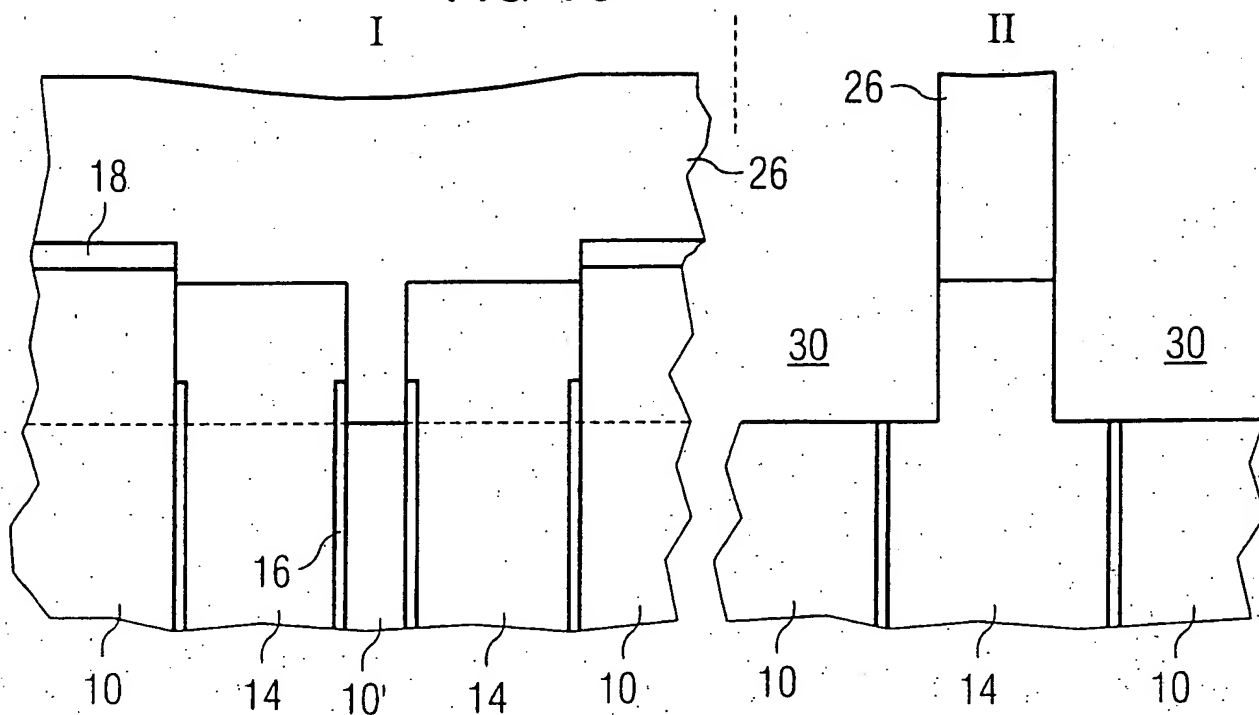
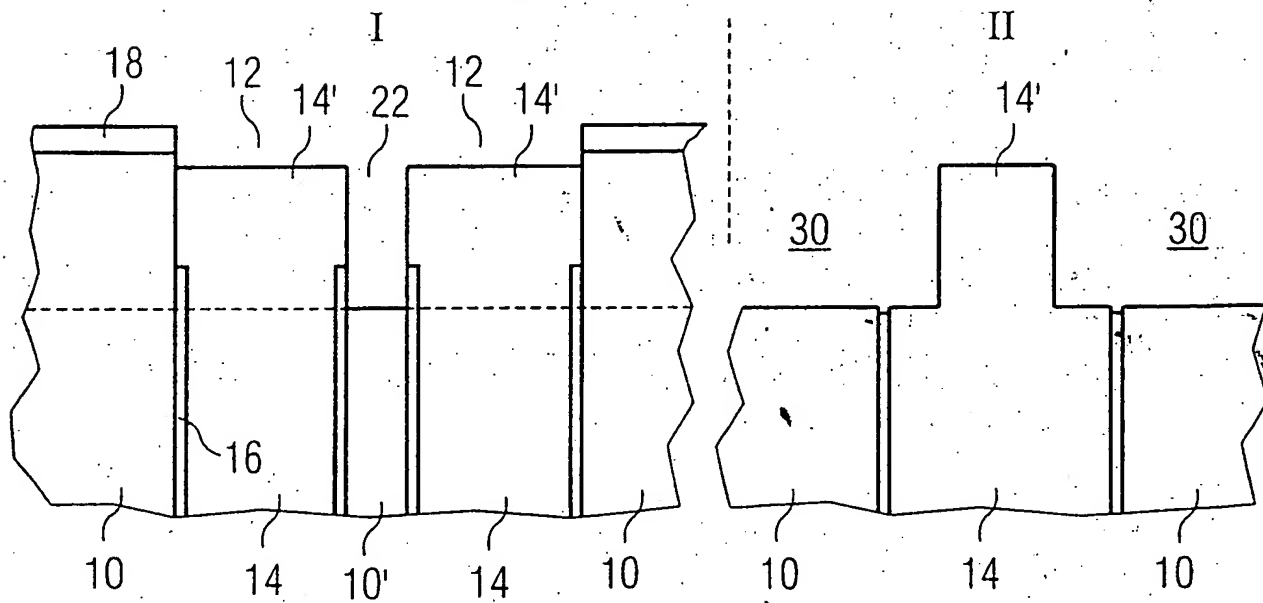


FIG 11



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.